

3

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-110067

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G06F 1/10  
H03K 5/13  
H03L 7/099

(21)Application number : 09-274403

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.10.1997

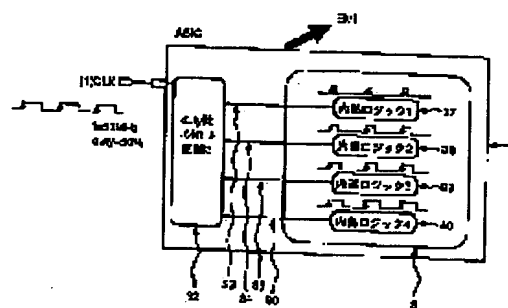
(72)Inventor : OISHI KENJI  
SUGA YASUHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To surely suppress the entire EMI intensity by dividing an internal logic circuit into plural blocks and also changing the clock duty ratio that is supplied to each of these divided logic circuit blocks.

**SOLUTION:** An internal logic circuit 3 included in an ASIC 2 is divided into internal logic blocks 37, 38, 39 and 40. An external clock 1 is received by a PLL included in a duty ratio control circuit 3.32, and the output is taken out of every stage of a VCO. Thus, the pulses 33, 34, 35 and 36 of different duty ratios are generated and then supplied to those divided logic blocks 27 to 40 respectively as blocks. As a result, the frequency components of EMI intensity are equalized and accordingly the entire EMI intensity can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-110067

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 Z

H 0 3 K 5/13

H 0 3 K 5/13

H 0 3 L 7/099

H 0 3 L 7/08

F

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号

特願平9-274403

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 賢治

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 菅 庸拓

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

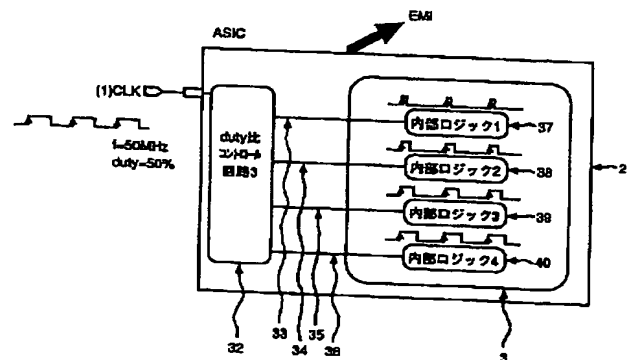
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 EMI 強度を各周波数成分に分散させ、EMI 強度の低減を的確に行える半導体集積回路を得る。

【解決手段】 内部論理回路を複数のブロック 37、38、39、40 に分割し、異なるデューティ比を持つ複数のクロック信号を、複数の前記内部論理回路ブロック 37、38、39、40 にそれぞれ印加する。



## 【特許請求の範囲】

【請求項1】 電圧調整信号に応じて動作し、異なる遅延値を持つ複数の出力を導出できる発振器と、印加されたクロック入力信号と前記発振器の任意の出力との位相を比較し、位相を一致させるように発振器の周波数を調整できる位相比較回路と、前記発振器の各出力から異なるデューティ比を持つ複数のクロック信号を出力できるクロック生成回路と、複数のブロックに分割された複数の内部論理回路ブロックとを備え、前記クロック生成回路からの複数のクロックを複数の前記内部論理回路ブロックにそれぞれ印加することを特徴とする半導体集積回路。

【請求項2】 電圧調整信号により、遅延値を可変にできるインバータを奇数段リング状に接続した発振器と、印加されたクロック入力信号と前記発振器を構成する任意のインバータの出力の位相を比較し、位相を一致させるように発振器の周波数を調整できる位相比較回路と、前記発振器の各インバータの出力から異なるデューティ比を持つ複数のクロック信号を出力できるクロック生成回路と、複数のブロックに分割された複数の内部論理回路ブロックとを備え、前記クロック生成回路からの複数のクロックを複数の前記内部論理回路ブロックにそれぞれ印加することを特徴とする半導体集積回路。

【請求項3】 前記発振器の各出力から異なるデューティ比を持つ複数のクロックを各周期ごとに切り替えてクロック信号を複数出力できるクロック生成回路を備え、クロック生成回路からの複数のクロックを各周期ごとに切り替えて複数の内部論理回路ブロックにそれぞれに印加することを特徴とする請求項1または請求項2に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、内部クロックによるEMIの奇数倍に集中し発生する動作周波数をデューティ(duty)比を変化させることができるデューティ比コントロール回路を用い平均化させ、全体の電磁波妨害：EMI(=Electro-Magnetic Interference)強度を下げるができる半導体集積回路に関するものである。

## 【0002】

【従来の技術】近年、パソコン等の情報通信機器分野の高速化が進んでいる。しかし、高速化によりノイズが大きな問題となっており、ASIC内から発生するEMI等により、引き起こされる周辺機器の影響が問題になっている。

【0003】従来の半導体集積回路には、水晶発振子もしくはマイコン等からの外部クロックにより供給され、動作を行っている。通常外部からのクロックは、デューティ50%の波形を用いているため、内部クロックによるEMIは動作周波数の奇数倍に集中して発生をする。

【0004】図25は、従来の半導体集積回路を示すものであり、図25(a)は、その構成図、図25(b)は、その周波数成分および強度を示すものである。図25(a)において、2はASIC、3はASIC2内の内部ロジックからなる内部論理回路である。この半導体集積回路では、図25(b)に示すように、そのEMI強度は特定の周波数成分に集中し、大きな値を示している。このため、各周波数成分のEMI強度を分散させ、平均化させる回路が必要である。

【0005】このようなEMI強度抑制のための先行技術としては、特開平4-310699号公報がある。これは、2つ以上のデューティ比をもつクロック信号をカウンタにより生成し、EMI強度を低減するものである。

## 【0006】

【発明が解決しようとする課題】この発明は、このようなEMI強度の低減を的確に行うことができる半導体集積回路を得ようとするものである。

## 【0007】

【課題を解決するための手段】第1の発明の半導体集積回路においては、電圧調整信号に応じて動作し、異なる遅延値を持つ複数の出力を導出できる発振器と、印加されたクロック入力信号と前記発振器の任意の出力との位相を比較し、位相を一致させるように発振器の周波数を調整できる位相比較回路と、前記発振器の各出力から異なるデューティ比を持つ複数のクロック信号を出力できるクロック生成回路と、複数のブロックに分割された複数の内部論理回路ブロックとを備え、前記クロック生成回路からの複数のクロックを複数の前記内部論理回路ブロックにそれぞれ印加するものである。

【0008】第2の発明の半導体集積回路においては、電圧調整信号により、遅延値を可変にできるインバータを奇数段リング状に接続した発振器と、印加されたクロック入力信号と前記発振器を構成する任意のインバータの出力の位相を比較し、位相を一致させるように発振器の周波数を調整できる位相比較回路と、前記発振器の各インバータの出力から異なるデューティ比を持つ複数のクロック信号を出力できるクロック生成回路と、複数のブロックに分割された複数の内部論理回路ブロックとを備え、前記クロック生成回路からの複数のクロックを複数の前記内部論理回路ブロックにそれぞれ印加するものである。

【0009】第3の発明の半導体集積回路においては、前記発振器の各出力から異なるデューティ比を持つ複数のクロックを各周期ごとに切り替えてクロック信号を複数出力できるクロック生成回路を備え、クロック生成回路からの複数のクロックを各周期ごとに切り替えて複数の内部論理回路ブロックにそれぞれに印加するものである。

## 【0010】

## 【発明の実施の形態】

実施の形態1. 図1から図13までは、この発明の前提となる基本回路を示すものである。図1は、この発明の前提となるデューティ比コントロール回路の基本回路の一例を示す全体構成図である。図1において、3はASIC内の内部ロジック回路、4はデューティ比コントロール回路1であり、デューティ比コントロール回路1:4から出力されるクロック5により動作を行う。

【0011】図2は、図1に示される基本回路に使用されるデューティ比コントロール回路1:4の回路構成図である。6はPLL (=Phase Lock Loop) であり、8はデューティ比選択回路1である。PLL6からの出力7をデューティ比選択回路1:8が受ける。

【0012】図3は、図2の回路構成に用いられているPLLの回路図であり、9の囲いの部分は、VCO (=Voltage Controlled Oscillator) であり、15はVCO9の初段出力、16は二段目出力、17は三段目出力、18は四段目出力、19は最終段出力である。

【0013】外部からのクロック1をPLL6で受け、PLL6を構成するVCO9の各段からの出力を取り出す。PLL6のVCO9内の各ブロック10、11、12、13、14は、同一の回路により構成されている。すなわち、各ブロックの持つ遅延時間は、同一である。

【0014】この説明では、VCO9は5段で動作を行う。また、VCO9内の各ブロック10、11、12、13、14は、それぞれ $\pi/5$  [rad] の遅延時間を持つものとする。これらVCO9内の各ブロック10、11、12、13、14は、それぞれインバータで構成

され、全体として遅延値を可変にできるインバータを奇数段リング状に接続した発振器の形態となっている。

【0015】VCO9から取り出された各段の出力15 (clk1)、16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5) は、デューティ比選択回路1:8へ入力される。

【0016】図4にデューティ比選択回路を示す。20はセクタであり、その動作タイミングは、図6のタイミングチャートに示す通りである。デューティ比選択回路8では、16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5) は、15 (clk1) との遅延時間分のパルスを生成する。

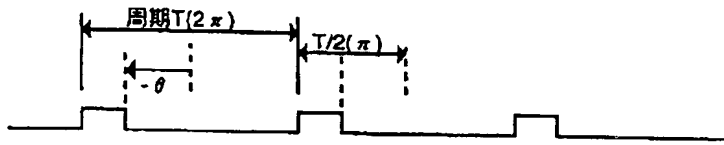
【0017】VCO9から取り出した各段の出力16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5) の反転を20のセクタに入力する。セクタ20では、外部から (マイコン等) の2ビットの制御データ21 (D0)、22 (D1) により、出力16、17、18、19のうちいずれかのパルスを選択して、15 (clk1) に同期したクロック5を出力し、内部ロジック3へクロックを供給する。図5は、セクタ20の入出力に係わる真理値表を示すものである。

【0018】図6に、デューティ比コントロール回路1のタイミングを示す。また、デューティ比50%から $\theta$  [rad] だけデューティをずらした波形の周波数成分は、表1に示す式から求められる。

【0019】

【表1】

5  
duty50%から $\theta$  [rad]だけduty比がずれた波形の場合の周波数成分をもとめる。



上記波形を数式 $f(x)$ で表す。

$$f(x)=1 \quad (0 \leq x < \pi - \theta) \\ =0 \quad (\pi - \theta \leq x < \pi) \\ \pi)$$

$f(x)$ をフーリエ級数に展開する。

$$a_n = (1/\pi) \int_0^{2\pi} f(x) \cos(nx) dx \\ = (1/\pi) \cdot \left\{ \int_0^{\pi-\theta} 1 \cdot \cos(nx) dx + \int_{\pi-\theta}^{2\pi} 0 \cdot \cos(nx) dx \right\} \\ = (1/\pi) \left[ \frac{1}{n} \sin(nx) \right]_0^{\pi-\theta} \\ = (1/n\pi) \cdot \sin(n(\pi-\theta)) \\ = (1/n\pi) \cdot \{\sin(n\pi)\cos(n\theta) - \cos(n\pi)\sin(n\theta)\} \\ = (-1)^n \sin(n\theta)/(n\pi) \quad \dots (2)$$

$$b_n = (1/\pi) \int_0^{2\pi} f(x) \sin(nx) dx \\ = (1/\pi) \cdot \left\{ \int_0^{\pi-\theta} 1 \cdot \sin(nx) dx + \int_{\pi-\theta}^{2\pi} 0 \cdot \sin(nx) dx \right\} \\ = (1/\pi) \cdot \left[ -\frac{1}{n} \cos(nx) \right]_0^{\pi-\theta} \\ = (1/n\pi) \cdot \{-\cos(n(\pi-\theta)) + 1\} \\ = (1/n\pi) \cdot \{-\cos(n\pi)\cos(n\theta) - \sin(n\pi)\sin(n\theta) + 1\} \\ = \{(-1)^n \cos(n\theta) - 1\}/(n\pi) \quad \dots (3)$$

(2),(3)式より

$$\sqrt{a_n^2 + b_n^2} = \sqrt{\{(-1)^n \sin(n\theta)/(n\pi)\}^2 + \{\{(-1)^n \cos(n\theta) - 1\}/(n\pi)\}^2} \\ = (1/n\pi) \cdot \sqrt{\sin^2(n\theta) + \cos^2(n\theta) - 2(-1)^n \cos(n\theta) + 1} \\ = \sqrt{2 - 2(-1)^n \cos(n\theta)}/(n\pi) \quad \dots (4)$$

(1),(4)式より

$$f(x) = 1/2 + \sum \{\sqrt{a_n^2 + b_n^2} \sin(nx + \phi)\} \quad (\because \tan \phi = b_n/a_n) \\ = 1/2 + \sum \{1/n\pi \sqrt{2 - 2(-1)^n \cos(n\theta)} \sin(nx + \phi)\}$$

フーリエ級数の公式

$$f(x) = a_0/2 + \sum (a_n \cos(nx) + b_n \sin(nx)) \\ a_n = 1/\pi \int_0^{2\pi} f(x) \cos(nx) dx \quad (n=0,1,2,\dots) \\ b_n = 1/\pi \int_0^{2\pi} f(x) \sin(nx) dx \quad (n=1,2,\dots)$$

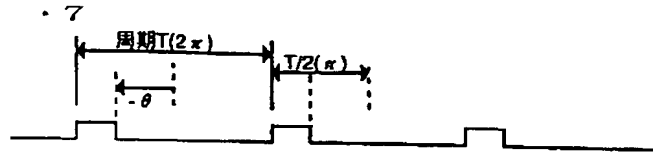
フーリエ級数の公式を変形する。

$$f(x) = a_0/2 + \sum (a_n \cos(nx) + b_n \sin(nx)) \\ = a_0/2 + \sum \{\sqrt{a_n^2 + b_n^2} \sin(nx + \phi)\} \quad \dots (5) \\ (\because \tan \phi = b_n/a_n)$$

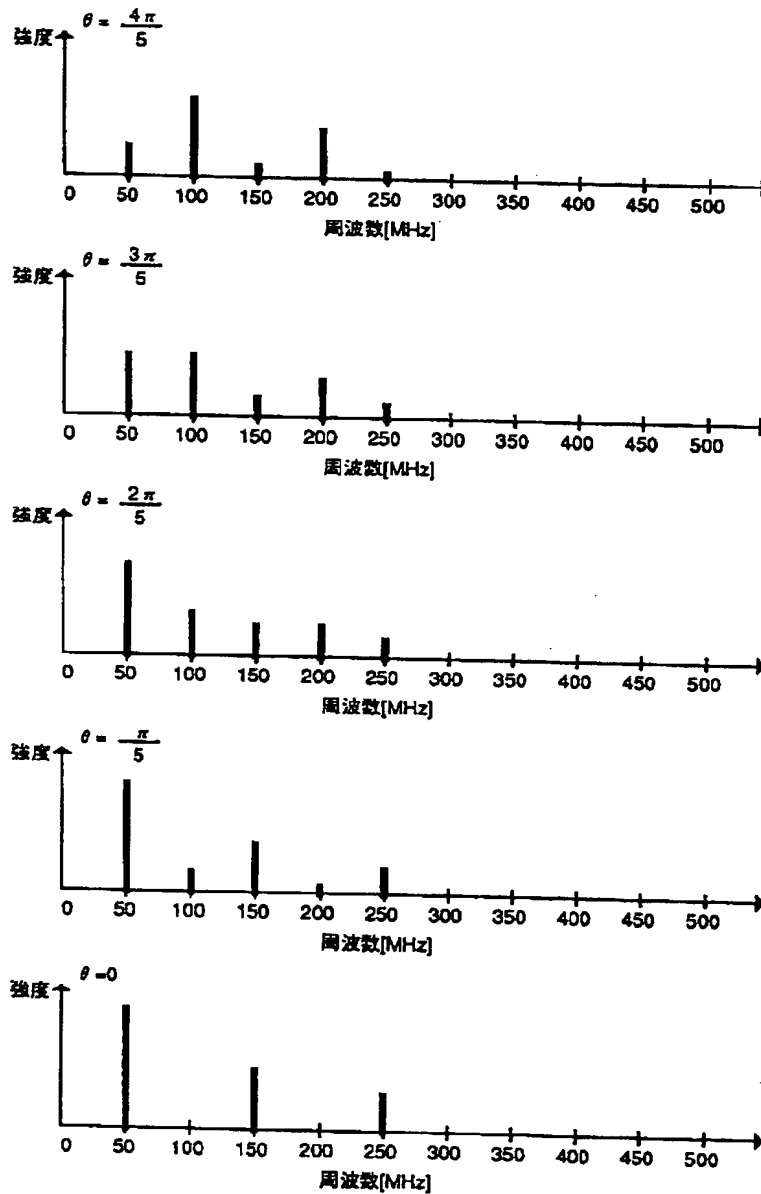
【0020】そのEMI強度分布は、表2に示す通りである。

【0021】

40 【表2】



$\theta [\text{rad}] = 4\pi/5, 3\pi/5, 2\pi/5, \pi/5, 0$  の場合の例を示す。



【0022】これにより、基準周波数の奇数倍と偶数倍がそれぞれ等しくなるようなクロックを生成できるため、全体のEMI強度を下げることができる。

【0023】図7は、基準周波数の奇数倍と偶数倍が等しくなり、EMI強度の低下を示すものである。デューティ50%から $\theta [\text{rad}]$ だけデューティ比がずれた波形をデューティ比コントロール回路1で生成した（ここでは、 $(D1, D0) = (1, 0)$ が選択された）場合を示す。

【0024】図8は、この発明の前提となる基本回路の他の例を示すデューティ比コントロール回路2の全体構成図である。2はASIC、3はASIC2内の内部ロジック回路、23はデューティ比コントロール回路2であり、デューティ比コントロール回路2：23から出力されるクロック24により内部ロジック回路3は動作を行う。

【0025】図9は、図8に示す回路に使用されるデューティ比コントロール回路2の回路構成図である。6は

PLLであり、25はデューティ比選択回路2である。PLL6からの出力7をデューティ比選択回路25が受ける。

【0026】また、31は外部から（マイコン等による）信号デューティ比選択回路の動作モードおよび停止モードを制御する信号である。上記と同様に、外部からのクロック1をPLL6で受け、PLL6を構成するVCO9の各段からの出力を取り出す。また、この説明では、上記と同様に、VCOは5段構成で、VCO内の各ブロック10、11、12、13、14は、それぞれ $\pi/5$  [rad]の遅延時間を持つものとする。VCO9から取り出された各段の出力15 (clk1)、16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5)は、デューティ比選択回路2：25へ入力される。

【0027】図10にデューティ比選択回路2を示す。26はセレクトであり、動作は図6の通りである。また、27および28はフリップフロップであり、動作は図11の通りである。デューティ比選択回路2では、16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5)は、15 (clk1)との遅延時間分のパルスを生成する。

【0028】VCO9から取り出した各段の出力16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5)の反転と15 (clk1)との差をセレクト26に入力する。セレクト26は、セレクト信号24、25の2bitのアップカウンタにより、(25(S1)、24(S0)) = (0, 0) → (0, 1) → (1, 0) → (1, 1) → (0, 0) → …と15 (clk1)に同期して、カウントを繰り返す(25が上位ビット、24が下位ビットである)。セレクト26の(Res)信号が“L”時には、内部ロジックへ供給するクロック24を遮断し、“L”を出力する。“H”時にクロックの供給を行う。

【0029】内部ロジック3に供給するクロック24は、図12に示すように、15 (clk1)と16 (clk2)の遅延時間分のパルス (clk1-clk2)：以下このように表す) → 15 (clk1)と17 (clk3)の遅延時間分のパルス (clk1-clk3)：以下このように表す) → 15 (clk1)と18 (clk4)の遅延時間分のパルス (clk1-clk4)：以下このように表す) → 15 (clk1)と19 (clk5)の遅延時間分のパルス (clk1-clk5)：以下このように表す) → (clk1-clk2)と15 (clk1)に同期して、一周期ごとに順次パルスを生成し、内部ロジック3へクロックを供給する。

【0030】これにより内部回路に伝搬するときに、クロックのデューティ比が変化し、所望の効果が得られなくとも、常にデューティ比を変化させるようなデューティ比コントロール回路を用いると、全体のEMI強度は、それぞれの周波数に均等化されるため、全体にEMI強度を下げる事が可能である。

【0031】図13では、デューティ比コントロール回

路2においてデューティ50%から $1/5\pi$  [rad]、 $2/5\pi$  [rad]、 $3/5\pi$  [rad]、 $4/5\pi$  [rad]だけデューティ比がずれた波形の周波数成分と強度を示す。

【0032】図14は、この発明によるデューティ比コントロール回路3の実施の形態1の全体構成図である。2はASIC、3はASIC2内の内部ロジックからなる内部論理回路、37、38、39、40は内部ロジックブロックからなる内部論理回路ブロックで、内部ロジック3を4ブロックに分割したものである。32はデューティ比コントロール回路3であり、デューティ比コントロール回路3：32から出力されるクロック33、34、35、36により4分割された内部ロジックブロック：137、内部ロジックブロック2：38、内部ロジックブロック3：39、内部ロジックブロック4：40が動作する。

【0033】図15は、図14に示すデューティ比コントロール回路3の回路構成図である。6はPLLであり、41はデューティ比選択回路3である。PLL6からの出力7をデューティ比選択回路3：41が受ける。

【0034】上記図1から図7までに示されたものと同様に、外部からのクロック1をPLL6で受け、PLL6を構成するVCO9の各段からの出力を取り出す。また、この説明では、上記図1から図7までに示されたものと同様に、VCOは5段構成で、VCO内の各ブロック10、11、12、13、14は、 $\pi/5$  [rad]の遅延時間を持つものとする。VCO9から取り出された各段の出力15 (clk1)、16 (clk2)、17 (clk3)、18 (clk4)、19 (clk5)は、デューティ比選択回路3：41へ入力される。

【0035】図16にデューティ比選択回路3を示す。生成された各遅延時間分のパルス33、34、35、36は、15 (clk1)に同期して分割された各々の内部ロジック37、38、39、40にクロックとして供給される(この説明では、VCOを5段として説明しているため、4分割での内部ロジックで説明する)。4分割された内部ロジックに供給されるクロック33、34、35、36のタイミングは図17に示すようになる。

【0036】このように内部ロジックを分割し、各々の内部ロジックにデューティ比が違うクロックを供給することにより、全体のEMI強度は、それぞれの周波数成分が均等化されるため、全体のEMI強度を下げる事が可能である。

【0037】実施の形態2、図18は、この発明によるデューティ比コントロール回路の実施の形態2の全体構成図である。3はASIC内の内部ロジック回路47、48、49、50は内部ロジック3を4ブロックに分割したものである。42はデューティ比コントロール回路4であり、デューティ比コントロール回路4：42から出力されるクロック43、44、45、46により4分

割された内部ロジックの47, 48, 49, 50が動作する。

【0038】図19は、図18に示す実施の形態2に使用されるデューティ比コントロール回路4の回路構成図である。また、52は、外部から（マイコン等）の信号デューティ比選択回路4を動作モードおよび停止モードを制御する信号である。

【0039】上記図1から図7までに示されたものと同様に、外部からのクロック1をPLL6で受け、PLL6を構成するVCO9の各段からの出力を取り出す。また、この説明では、上記図1から図7までに示されたものと同様に、VCOは5段構成で、VCO内の各ブロック10, 11, 12, 13, 14は、それぞれ $\pi/5$  [rad]の遅延時間を持つものとする。

【0040】VCO9から取り出された各段の出力15 (clk1), 16 (clk2), 17 (clk3), 18 (clk4), 19 (clk5) は、デューティ比選択回路2:51へ入力される。

【0041】図20から図23までに、デューティ比選択回路4を示す。53, 54, 55, 56はセクタであり、動作は図5の通りである。また、57, 58, 59, 60, 61, 62, 63, 64はフリップフロップであり、動作は図11の通りである。

【0042】デューティ比選択回路2:51では、16 (clk2), 17 (clk3), 18 (clk4), 19 (clk5) は、15 (clk1) との遅延時間分のパルスを生成する。VCO9から取り出した各段の出力16 (clk2), 17 (clk3), 18 (clk4), 19 (clk5) の反転と15 (clk1) との差をセクタ53, 54, 55, 56に入力する。

【0043】セクタ53, 54, 55, 56は、2bitのアップカウンタにより、(0, 0) → (0, 1) → (1, 0) → (1, 1) → (0, 0) → …と15 (clk1) に同期して、カウントを繰り返す（25が上位ビット、24が下位ビットである）。res信号52が“L”時には、内部ロジックへ供給するクロック43, 44, 45, 46を遮断し、“L”を出力する。“H”時にクロック43, 44, 45, 46の供給を47, 48, 49, 50の内部ロジックへ行う。

【0044】内部ロジック47に供給するクロック43は、図20に示すように、図24のタイミングチャートに示されたタイミングで、15 (clk1) と16 (clk2) の遅延時間分のパルス (clk1-clk2) : 以下このように表す) → 15 (clk1) と17 (clk3) の遅延時間分のパルス (clk1-clk3) : 以下このように表す) → 15 (clk1) と18 (clk4) の遅延時間分のパルス (clk1-clk4) : 以下このように表す) → 15 (clk1) と19 (clk5) の遅延時間分のパルス (clk1-clk5) : 以下このように表す) → (clk1-clk2) と15 (clk1) に同期し、一周ごと順次パルスを生成し、内部ロジック47へ

クロックを供給する。

【0045】内部ロジック48に供給するクロック44は、図21に示すように、(clk1-clk3) → (clk1-clk4) → (clk1-clk5) → (clk1-clk2) → (clk1-clk3) と15 (clk1) に同期し、一周ごと順次パルスを生成し、内部ロジック48へクロックを供給する。

【0046】内部ロジック49に供給するクロック45は、図22に示すように、(clk1-clk4) → (clk1-clk5) → (clk1-clk2) → (clk1-clk3) → (clk1-clk4) と15 (clk1) に同期し、一周ごと順次パルスを生成し、内部ロジック49へクロックを供給する。

【0047】内部ロジック50に供給するクロック46は、図23に示すように、(clk1-clk5) → (clk1-clk2) → (clk1-clk3) → (clk1-clk4) → (clk1-clk5) と15 (clk1) に同期し、一周ごと順次パルスを生成し、内部ロジック50へクロックを供給する。

【0048】このように、内部論理回路を複数ブロックに分割し、かつ、各々の内部論理回路ブロックに供給するクロックのデューティ比を変え、更に各々のクロックのデューティ比を順次変更して行くことにより、全体のEMI強度は異なる周波数成分に分散され、それぞれの周波数成分が均等化されるため、全体のEMI強度を下げる事が可能である。

【0049】以上のように、この発明の実施の形態によれば、ASICの内部ロジックのデューティ比を幾つにも分割するように構成したため、全体のEMI強度を抑制する効果がある。

【0050】

【発明の効果】第1の発明によれば、内部論理回路を複数ブロックに分割し、かつ、各々の内部論理回路ブロックに供給するクロックのデューティ比を変えることにより、全体のEMI強度は異なる周波数成分に分散され、それぞれの周波数成分が均等化されるため、全体のEMI強度を的確に抑制することが可能な半導体集積回路を得ることができる。

【0051】第2の発明によれば、電圧調整信号により、遅延値を可変にできるインバータを奇数段リング状に接続した発振器を用いるとともに、内部論理回路を複数ブロックに分割し、かつ、各々の内部論理回路ブロックに供給するクロックのデューティ比を変えることにより、全体のEMI強度は異なる周波数成分に分散され、それぞれの周波数成分が均等化されるため、全体のEMI強度をよりの確に抑制することが可能な半導体集積回路を得ることができる。

【0052】第3の発明によれば、内部論理回路を複数ブロックに分割し、かつ、各々の内部論理回路ブロックに供給するクロックのデューティ比を変え、更に、デューティ比の異なる複数のクロックを周期毎に切り替えることにより、全体のEMI強度は異なる周波数成分に分散され、それぞれの周波数成分が均等化されるた



め、全体のEMI強度を一層的に抑制することが可能な半導体集積回路を得ることができる。

【図面の簡単な説明】

【図1】 この発明の半導体集積回路の構成図である。

【図2】 この発明のデューティ比コントロール回路1の構成図である。

【図3】 この発明のデューティ比コントロール回路1に用いるPLLの回路図である。

【図4】 この発明のデューティ比コントロール回路1の中のデューティ比選択回路1の回路図である。

【図5】 この発明のデューティ比コントロール回路1, 2, 3, 4に用いられるセクタの真理値表を示す図である。

【図6】 この発明のデューティ比コントロール回路1のタイミングチャート図である。

【図7】 この発明のデューティ50%から $2/5\pi$ ずらしたときの効果を示した図である。

【図8】 この発明の半導体集積回路の構成図である。

【図9】 この発明のデューティ比コントロール回路2の構成図である。

【図10】 この発明のデューティ比コントロール回路2の中のデューティ比選択回路2の回路図である。

【図11】 この発明のデューティ比コントロール回路2, 4に用いられるフリップフロップの真理値表である。

【図12】 この発明のデューティ比コントロール回路2のタイミングチャート図である。

【図13】 この発明のデューティ50%から $1/5\pi$ ,  $2/5\pi$ ,  $3/5\pi$ ,  $4/5\pi$ ずらしたときの効果を示した図である。

【図14】 この発明の半導体集積回路の構成図である。

【図15】 この発明のデューティ比コントロール回路

3の構成図である。

【図16】 この発明のデューティ比コントロール回路3の中のデューティ比選択回路3の回路図である。

【図17】 この発明のデューティ比コントロール回路3のタイミングチャート図である。

【図18】 この発明の半導体集積回路の構成図である。

【図19】 この発明のデューティ比コントロール回路4の構成図である。

10 【図20】 この発明のデューティ比コントロール回路4の中のデューティ比選択回路4で内部ロジック47にクロックを供給する場合の回路図である。

【図21】 この発明のデューティ比コントロール回路4の中のデューティ比選択回路4で内部ロジック48にクロックを供給する場合の回路図である。

【図22】 この発明のデューティ比コントロール回路4の中のデューティ比選択回路4で内部ロジック49にクロックを供給する場合の回路図である。

20 【図23】 この発明のデューティ比コントロール回路4の中のデューティ比選択回路4で内部ロジック50にクロックを供給する場合の回路図である。

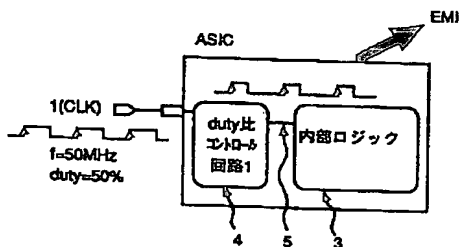
【図24】 この発明のデューティ比コントロール回路4のタイミングチャート図である。

【図25】 従来の半導体集積回路の構成図である。

【符号の説明】

3 内部ロジック、4 デューティ比コントロール回路、6 PLL、8 デューティ比選択回路、9 VCO、32 デューティ比コントロール回路、37 内部ロジック1からなる内部論理回路ブロック、38 内部ロジック2からなる内部論理回路ブロック、39 内部ロジック3からなる内部論理回路ブロック、40 内部ロジック4からなる内部論理回路ブロック。

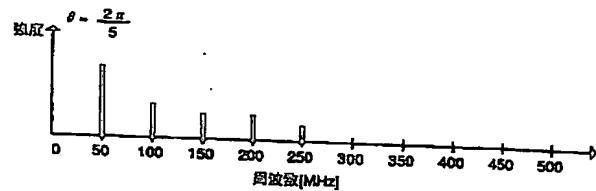
【図1】



【図5】

S0	S1	Y
L	L	A
H	L	B
L	H	C
H	H	D

【図7】

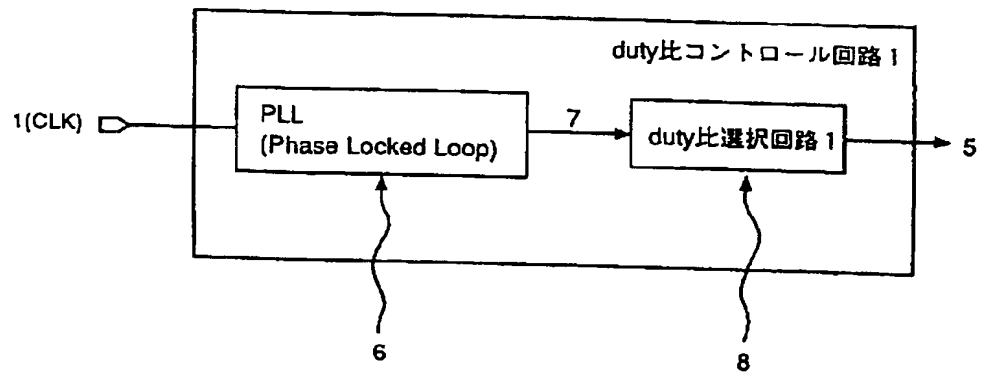


【図11】

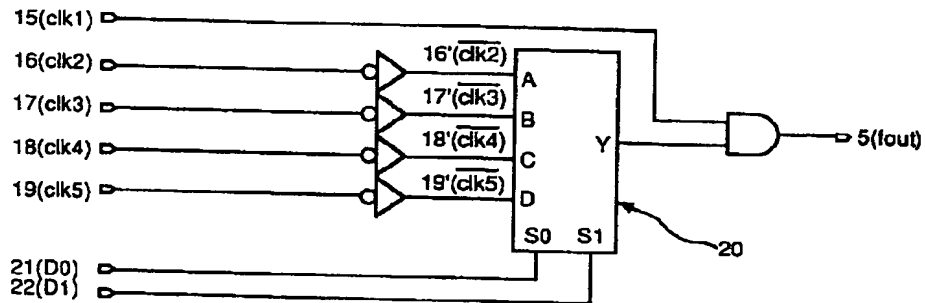
R	T	D	Q	QC
H	↑	L	L	H
H	↑	H	H	L
L	X	X	L	H

X: irrelevant

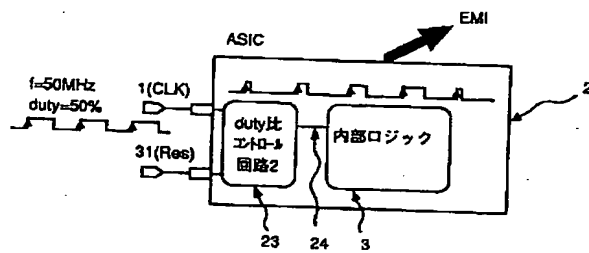
【図2】



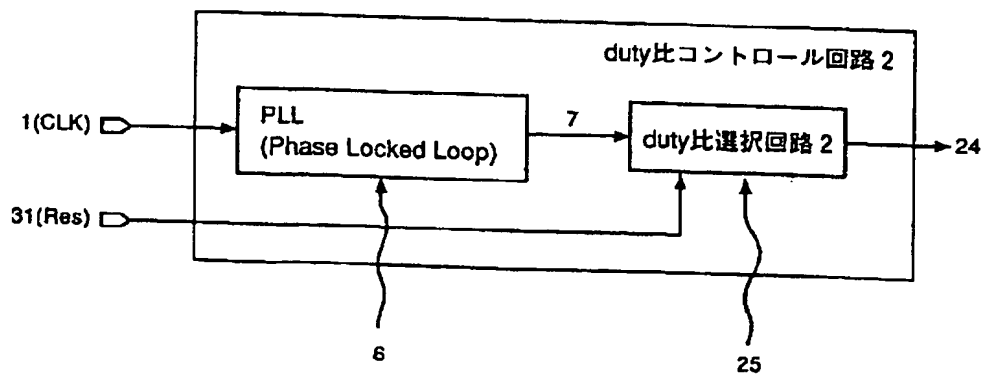
【図4】



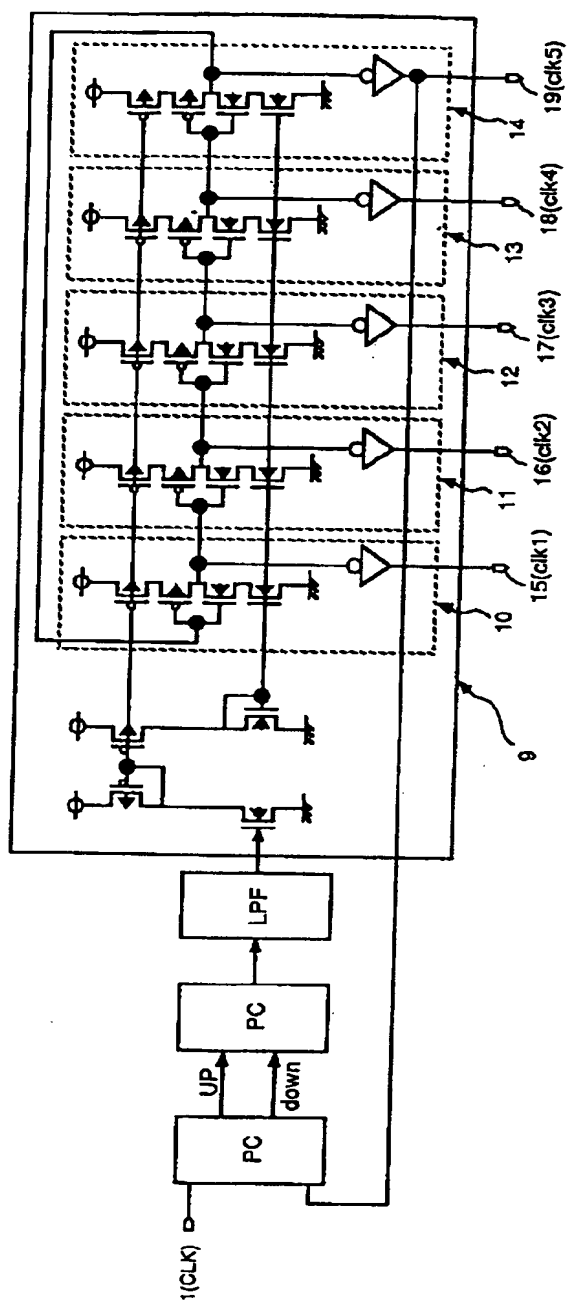
【図8】



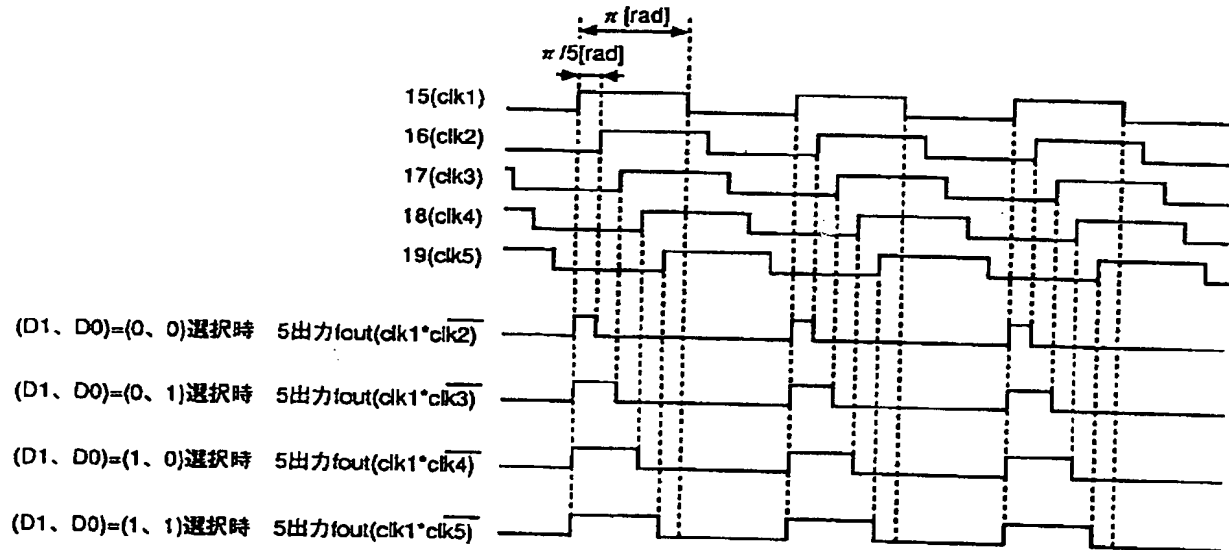
【図9】



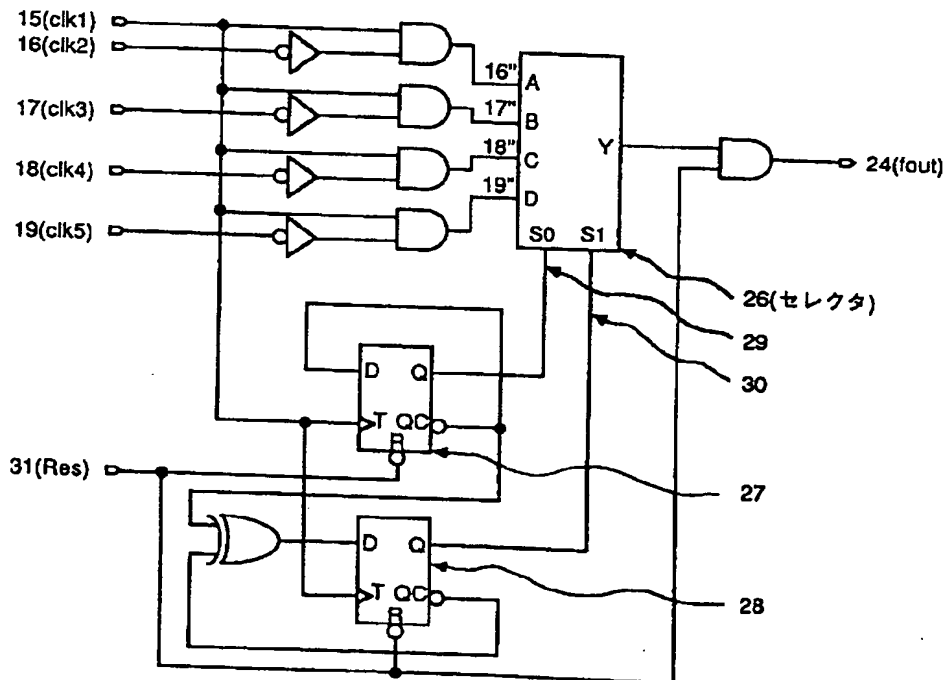
【図3】



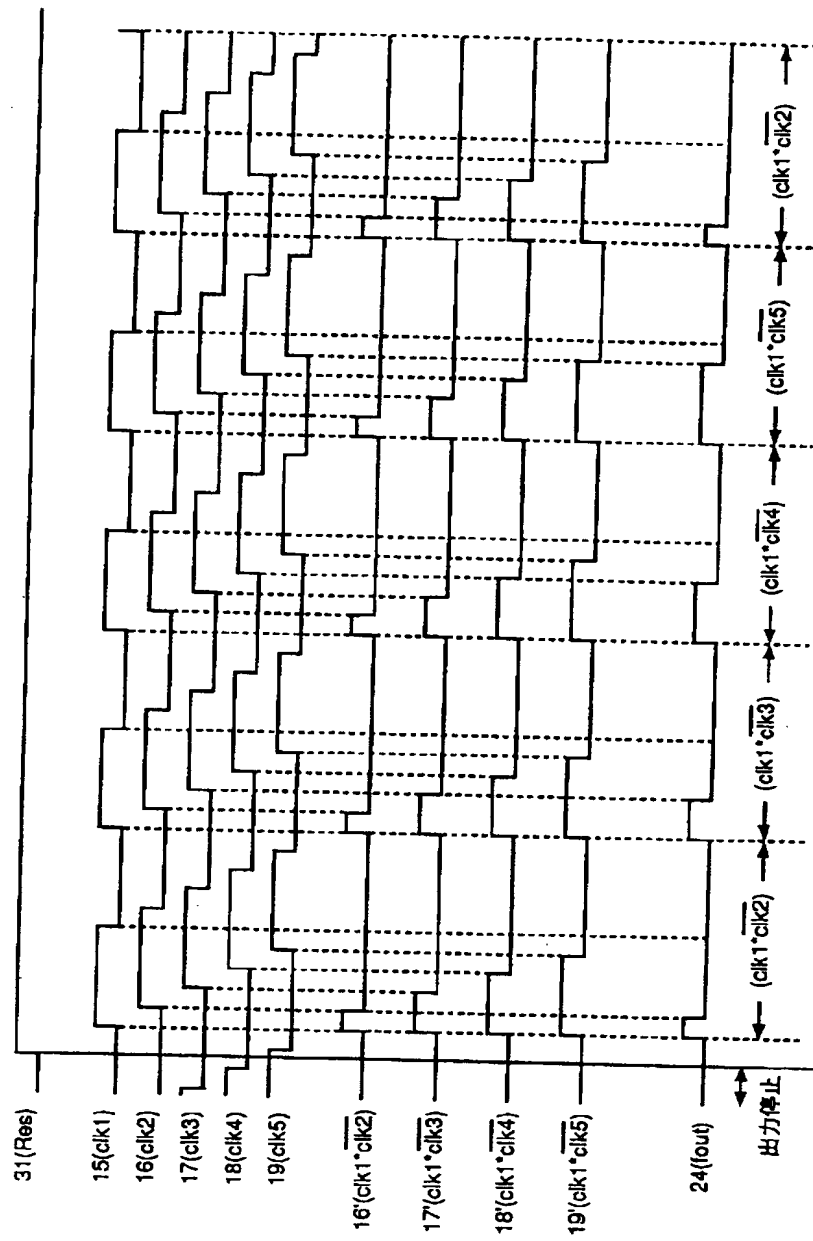
【図6】



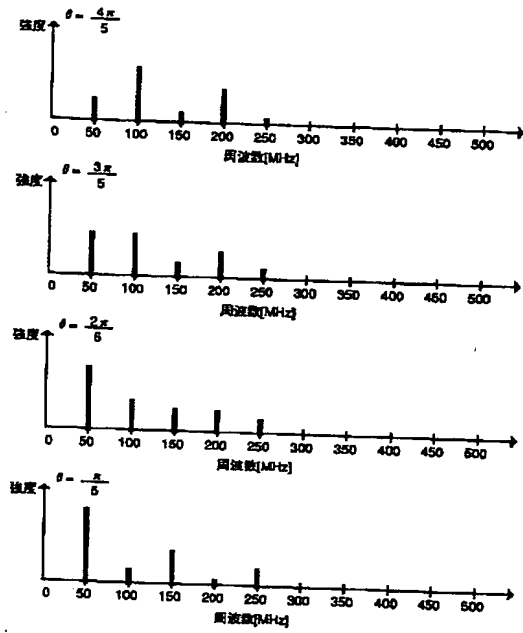
【図10】



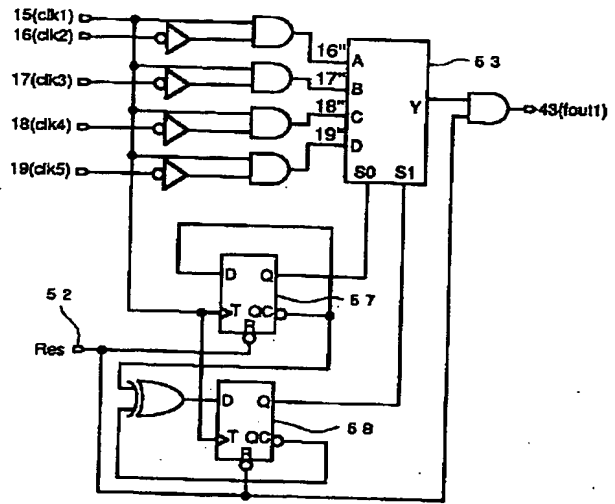
【図12】



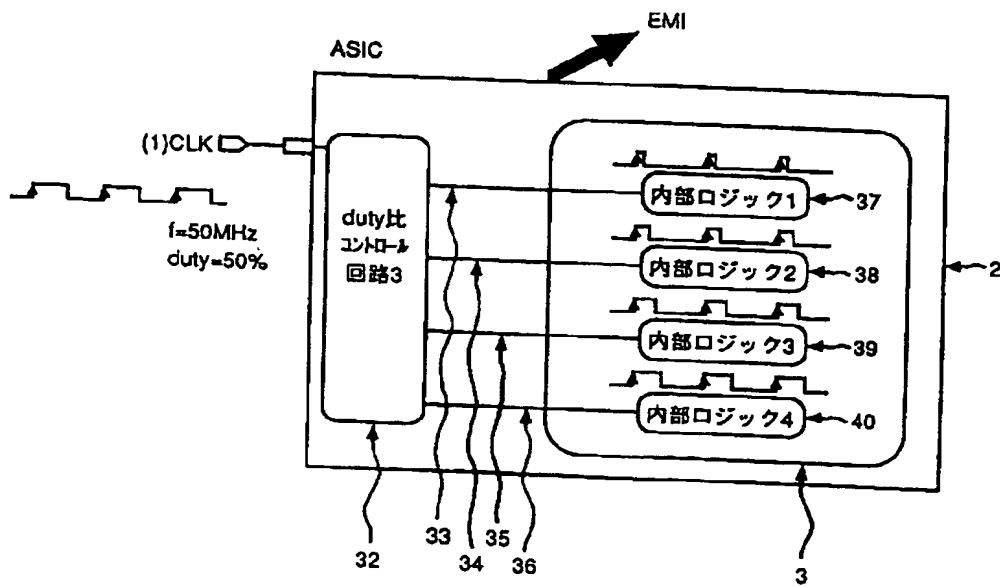
【図13】



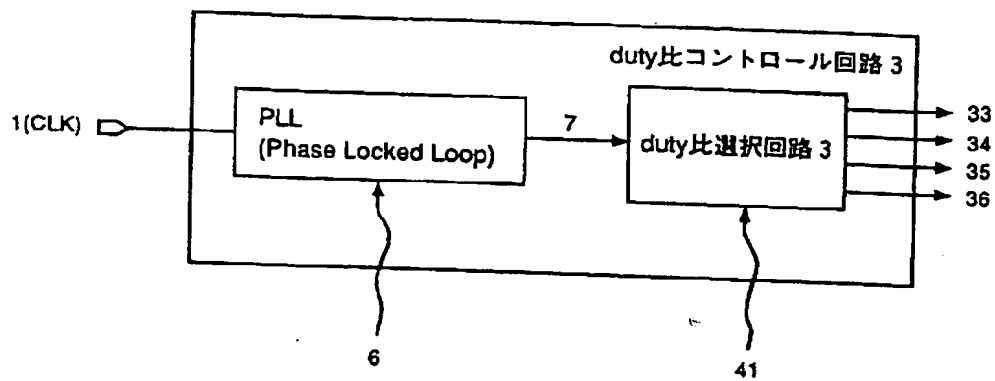
【図20】



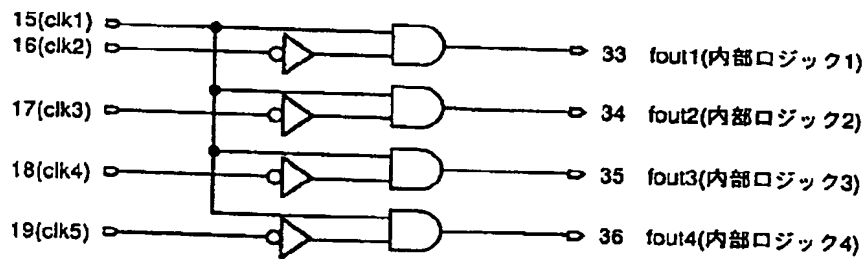
【図14】



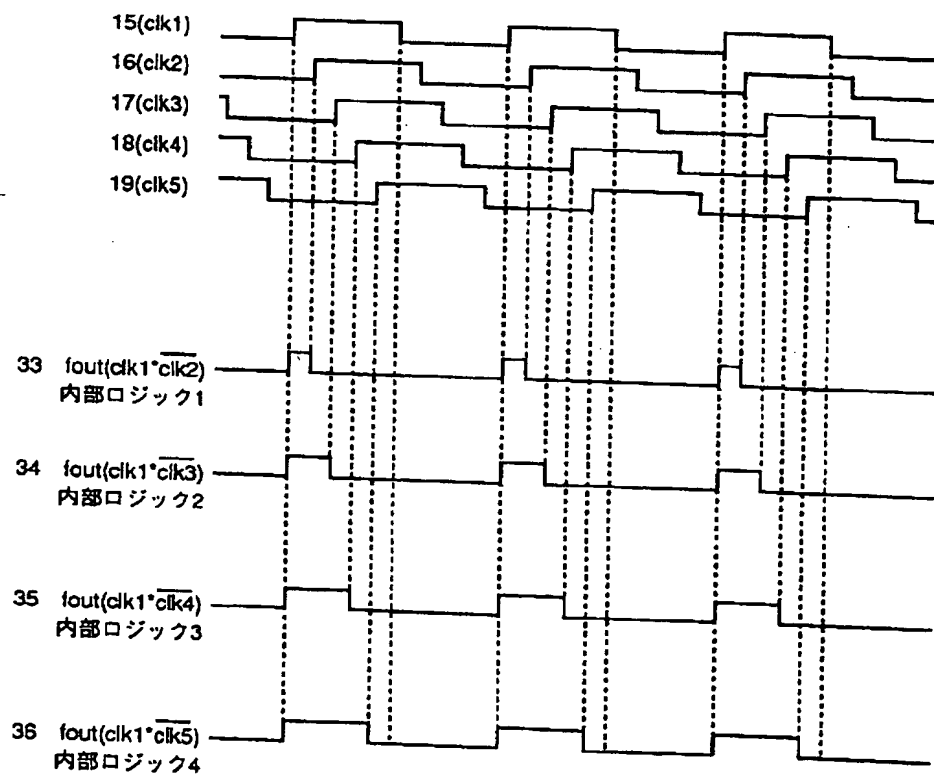
【図15】



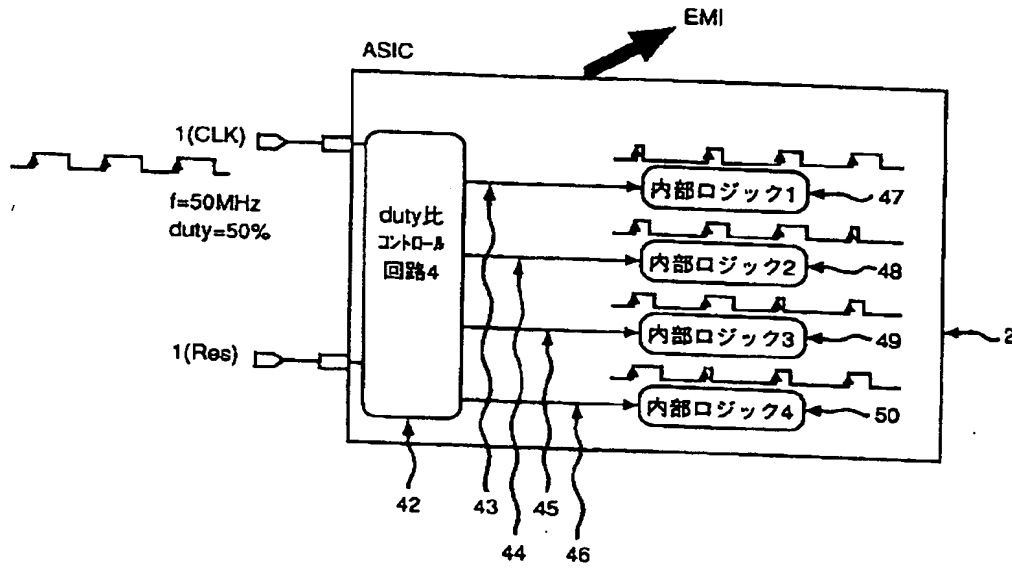
【図16】



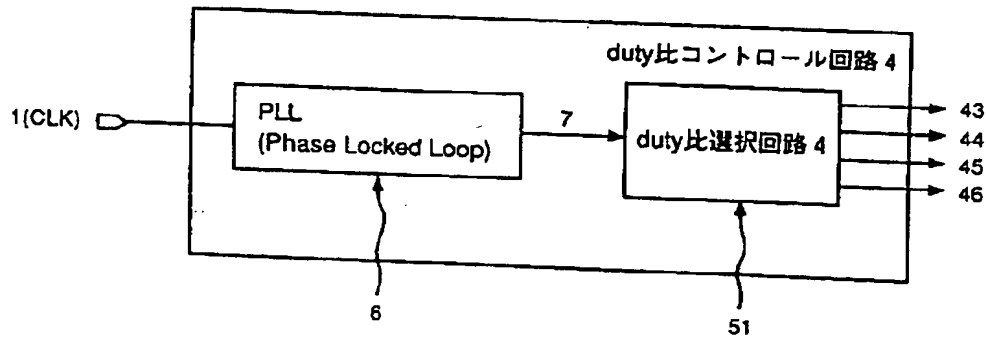
【図17】



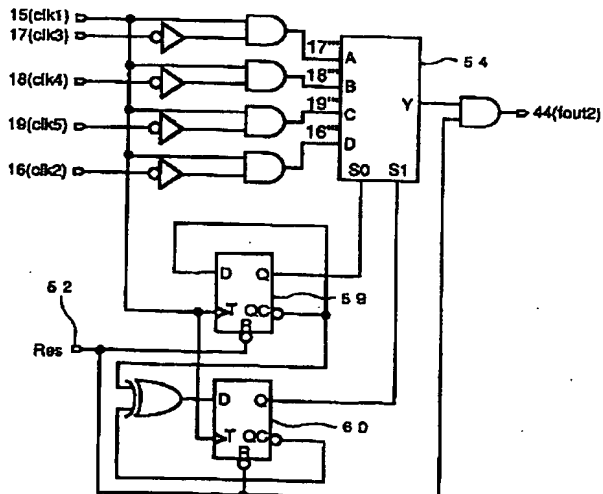
【図 18】



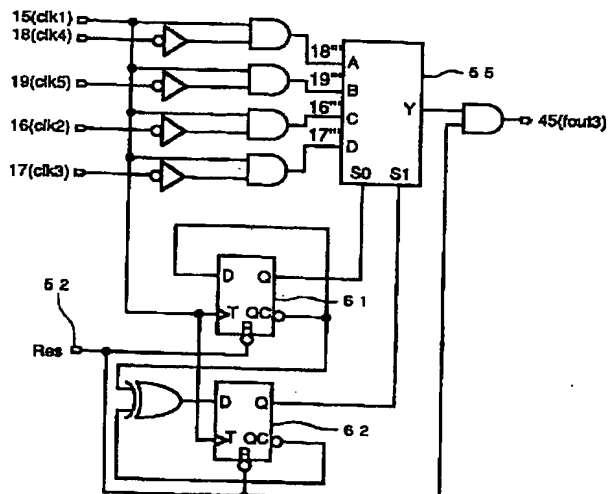
【図 19】



【図 21】

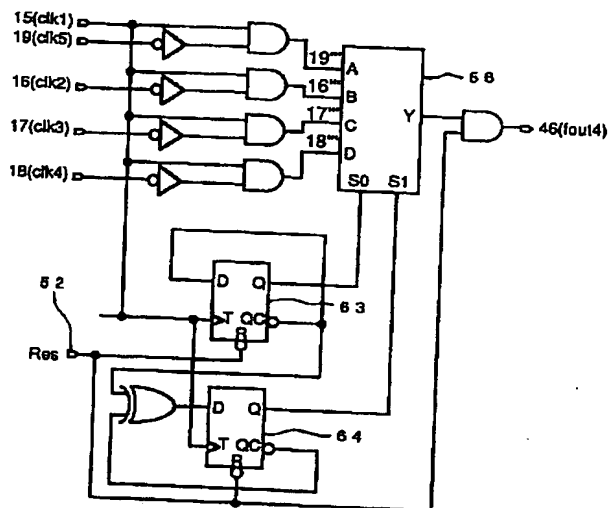


【図 22】

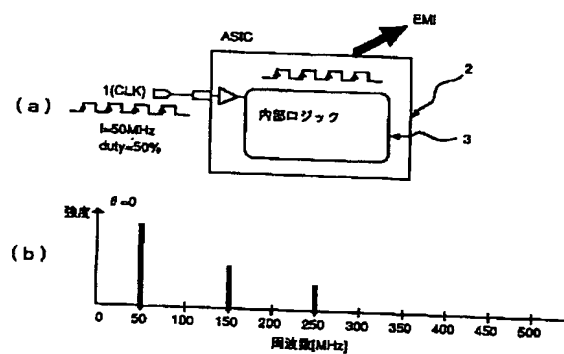




【図23】



【図25】



【図24】

